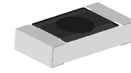


特徴

- 超高速応答(10ns 以下)
- 超低静電容量(0.16pF 標準)
- 高絶縁信頼性
- 高保護特性
- 双方向小型面実装品(無極性素子)
- 鉛フリー対応/ RoHS 指令準拠

パッケージ



サイズ(mm): 1.6×0.8

概要

イリソ電子の ESD(Electro-Static Discharge: 静電気放電) 保護素子: ESD プロテクター・チップは高速・高周波半導体等の電子デバイスの静電気保護対策に最適です。チップ抵抗と同様な外観を持つこの ESD 保護素子は、内部に設けたマイクロオーダーの電極隙間とそれを覆う独自開発の ESD 素子とで構成される双方向放電素子です。その動作は、静電気印加時は内部放電により瞬時に ESD 電流をバイパスし、対象素子を保護します。また、通常時は、超低静電容量かつ高絶縁抵抗を維持する為、高周波信号を扱う回路においても通過信号に与える影響は皆無です。特にこの 6802-01B は小型でありながら車載向けアプリケーションにも十分な信頼性を確保、また高速インターフェース等の定電圧信号アプリケーションにおいても高い保護特性を発揮します。

アプリケーション

- 高周波信号ラインの保護: FM-AM, TV カーAV システム、カーナビゲーションシステム等
- 高速インターフェース信号ラインの保護: IEEE1394, USB2.0, ギガビット・イーサネットや DVI, HDMI 等
- 高インピーダンス信号ラインの保護: マイコンをはじめとする CMOS 入力端子や Hi-Fi オーディオ等

内部等価回路



電気的特性

項目 (記号)	単位	最小	標準	最大	測定条件及び備考	
定格電圧 (V _{DC})	V	—	—	20 / 14	通常時	DC / AC (rms) 連続電圧印加
トリガー電圧 (V _t)	V	—	290	350	ESD 印加時	TLP 印加測定法 * ³ , 試験回路図2
ピーク電圧 (V _p)	V	—	400	900		最大値は初期値/試験後値
ピーク電流 (I _p)	A	20	29	—		IEC 印加測定法 * ¹ , 試験回路図1
クランプ電圧 (V _c)	V	—	50	100		IEC 印加測定法 * ² , 試験回路図1
絶縁抵抗 (R _i)	OHM	20M	—	—	通常時	20Vdc 印加時, 試験回路図3
静電容量 (C _s)	pF	—	0.2	0.30	—	1Vac, 1MHz
ESD 印加耐性	pulses	—	—	20	ESD 印加時	IEC 法 * ¹ , 試験回路図1
ESD 最大印加電圧	kV	—	—	15		IEC 法, 気中放電* ¹ , 試験回路図1
動作温度範囲	°C	-40	—	+105	—	—

*1) IEC61000-4-2 (150pF/330ohms), 15kV, 気中放電

*2) IEC61000-4-2, 15kV, 気中放電 (静電気印加後、30ns 時に測定)

*3) TLP (Transmission Line Pulse) 発生器、又は INS、10V 間隔、接触印加、10n 秒矩形波パルス。(最初に 5A が流れた時の印加電圧で表す。)

環境試験特性

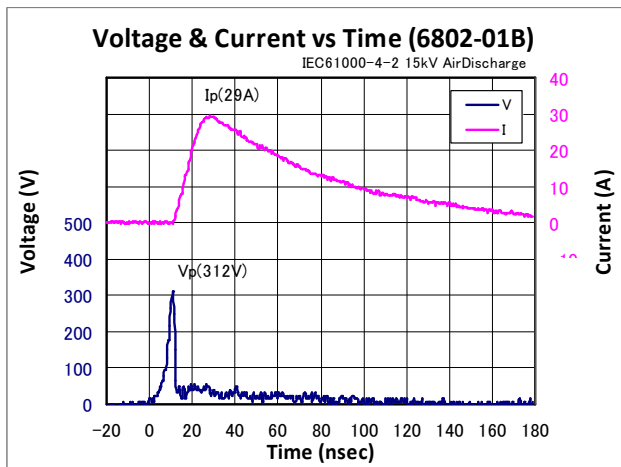
- 耐熱性: +125 °C, 1000 時間
- 耐寒性: -55 °C, 1000 時間
- 耐湿性: +60 °C, 90-95%RH, 1000 時間 (DC15V 印加)
- 耐冷熱衝撃: -40 °C / +105 °C, 1000 サイクル (1 サイクル: 1 時間, 各温度 30 分)
- はんだ実装耐熱性: +260 °C, 10 秒 (リフローはんだ付け)

ご注文型名及び納入形態

型名	納入形態	Remarks
IMSA-6802-01B	— (バラ品)	評価用サンプルのみ
IMSA-6802-01Y901	テープ&リール品	5,000 個/リール

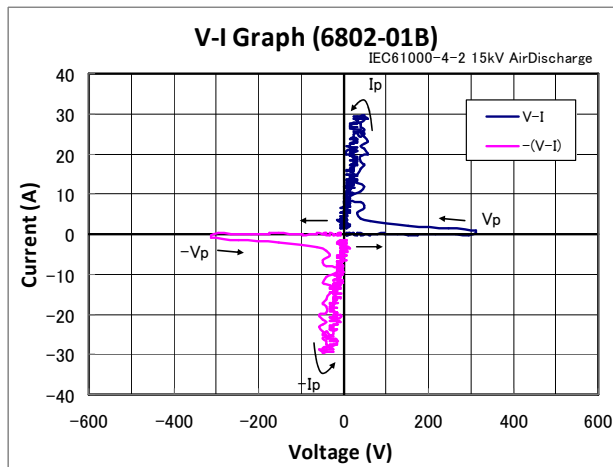
特性データ (参考値)

電圧&電流 時間軸波形 (標準的サンプルの例)



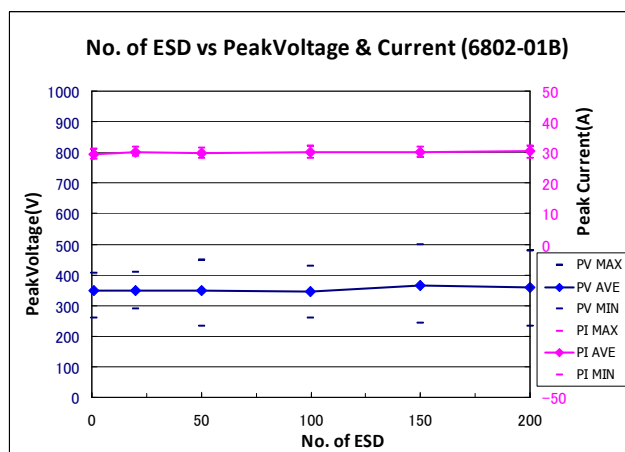
この電圧波形は放電時直前に受けるノイズ(見かけ上印加時点が早まる)や
 気中放電における10%程度のバラツキを含んだ標準的な波形となります。

電圧対電流特性 オフオンへの移行(時間軸データからの計算値)

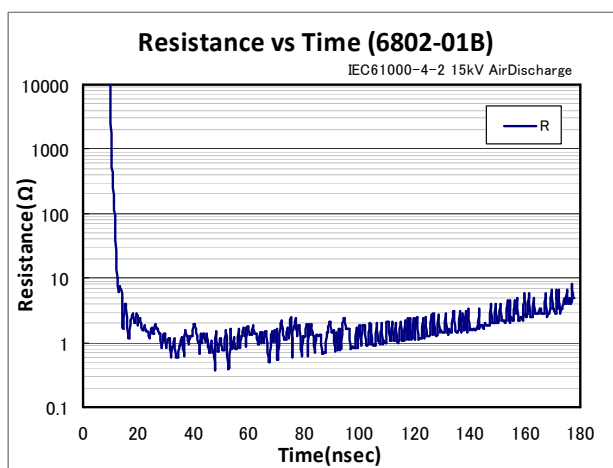


この標準的な V-I 特性は実際の電圧と電流波形から計算で求めたものです。
 ESD チップには極性がなく、マイナス側も全く同様な特性を示します。

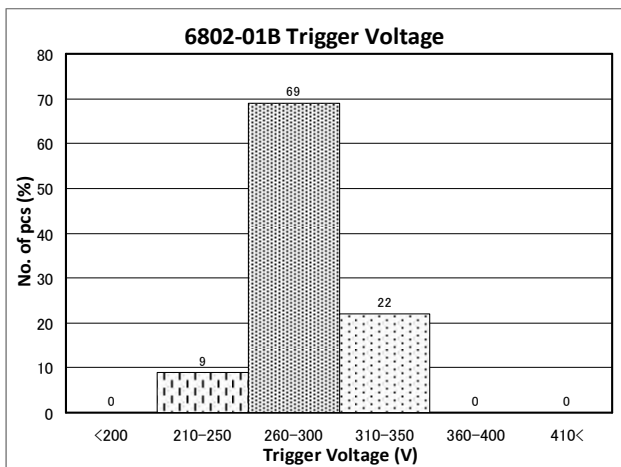
ピーク電圧&ピーク電流対 ESD 印加回数



ESD 印加時の内部抵抗時間軸推移 (実データからの計算値)

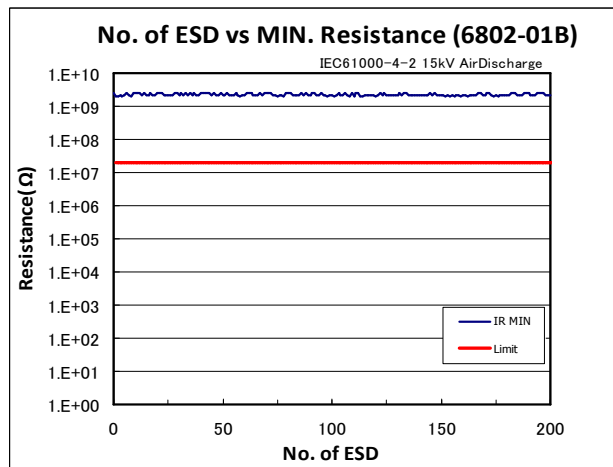


トリガー電圧分布 TLP 測定法



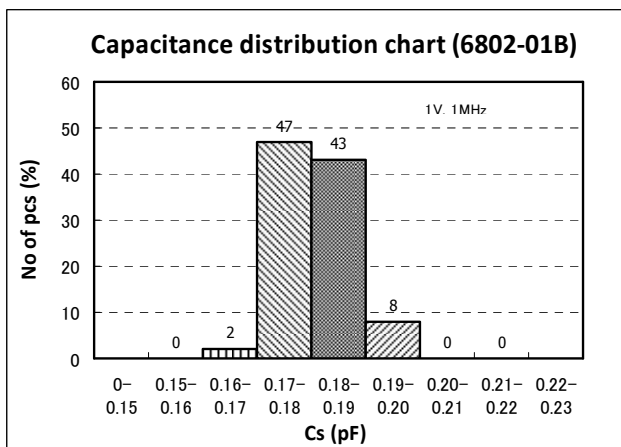
このトリガー電圧値(インパルス・ノイズシミュレータ:INS を使用して TLP 法
 によって測定)は、気中放電時のようなバラツキを含まず、より正確な値と
 なります。入力パルスは 10ns 幅で、10V 間隔で印加電圧を上げていきま
 す。

静電気印加回数対最小絶縁抵抗値

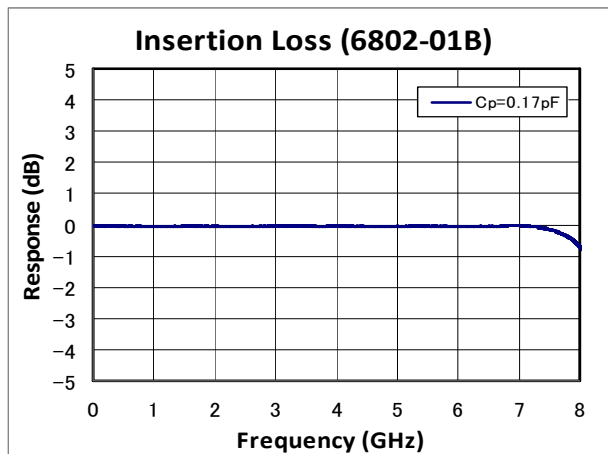


この試験の静電気印加回数は、4,000 回(=20 個×200 パルス)となります。

静電容量分布範囲 (1MHzにて測定)



周波数特性(挿入損失)



静電容量は、測定周波数が100MHz-1GHzにおいても同様な値となります。

図 1 ESD 印加時試験回路(ピーク電圧及びピーク電流測定時)

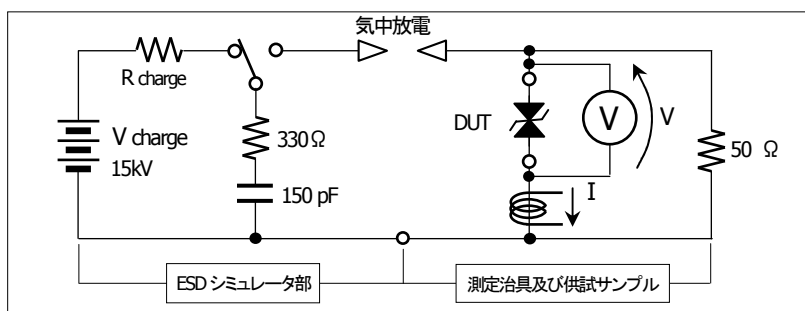


図 2 矩形波パルス印加時試験回路(TLP 法、トリガー電圧測定時)

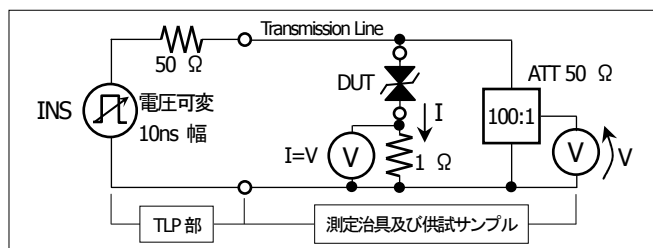
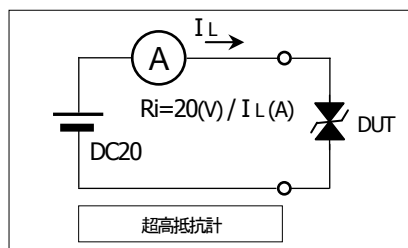
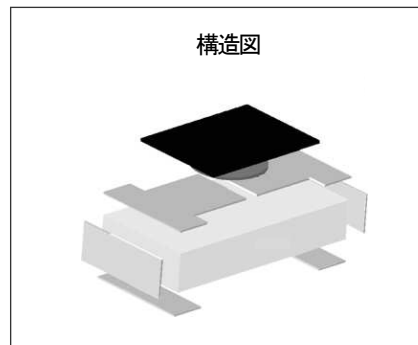


図 3 リーク電流及び絶縁抵抗測定回路(超高抵抗計使用)

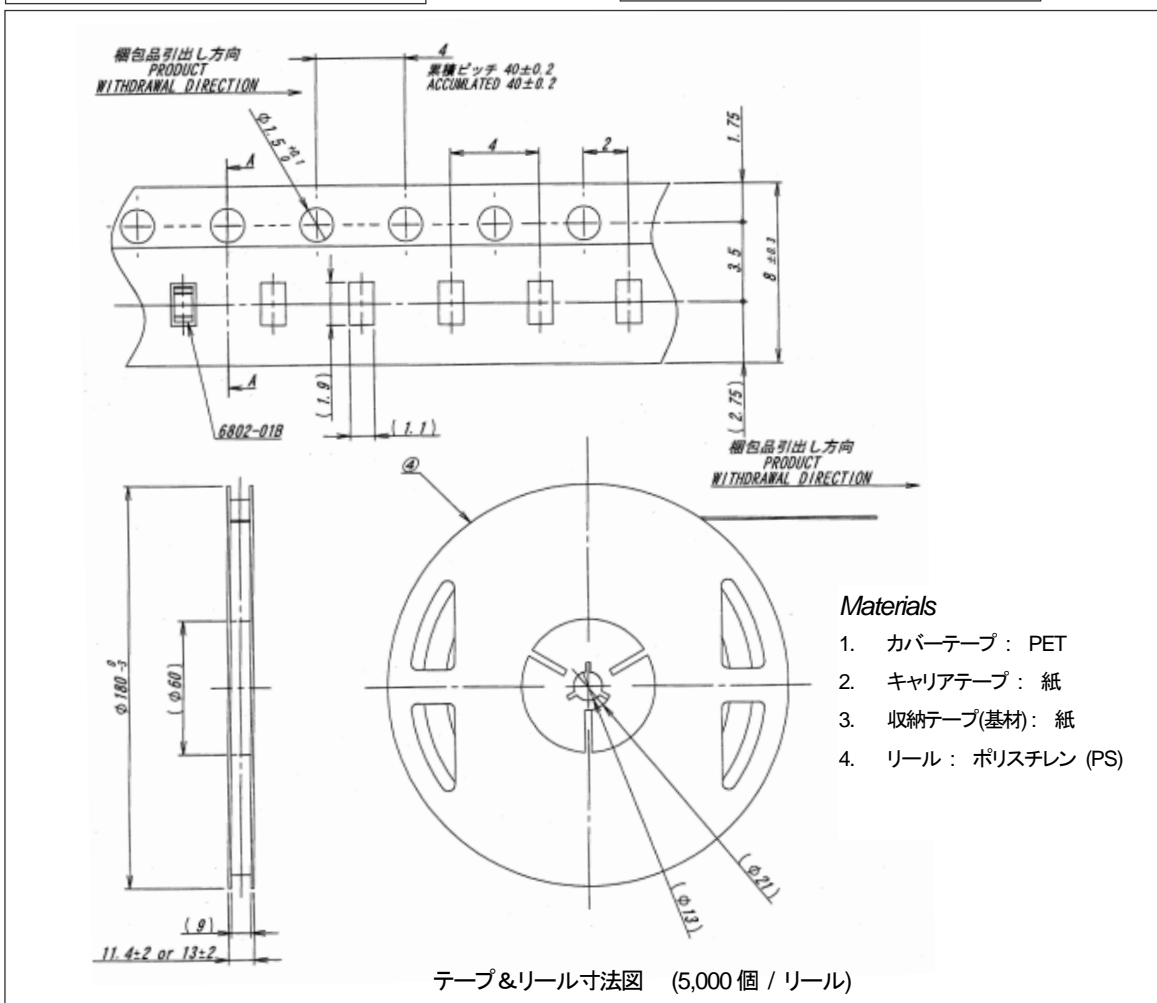
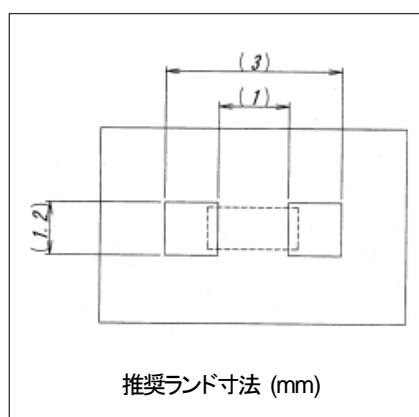
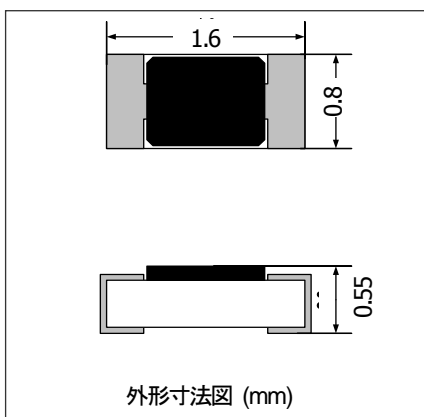


主要材料及び質量

- 基材 : アルミナ
- 内部ESD 素子 : 複合材(イリソ電子オリジナル)
- 端子 : 錫 (Sn) (ニッケル (Ni)下地)
- 質量 : 1.94mg(標準)



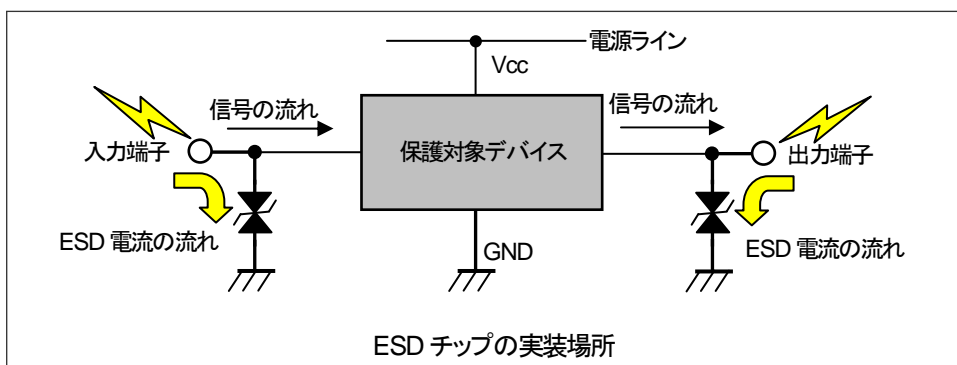
製品寸法及び推奨ランドパターン



アプリケーションノート (6801-01B, 6802-01A & 6803-01A)

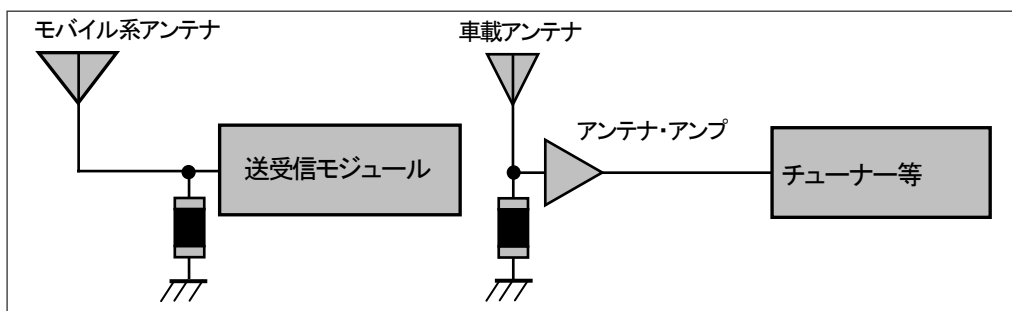
1. デバイスの実装方法 (PCB レイアウト)

- 双方向素子であるため、極性はありません。
- 信号ラインとグラウンド(GND)間に実装してください。
- 通常時は高抵抗(ほぼ絶縁状態)かつ低静電容量ですので、信号に全く影響を及ぼしません。
- 最大の保護効果を得るために、入出力端子(静電気印加ポイント)の直下に実装してください。他の素子(併用等)を挿入される場合は、どの素子よりも端子側に実装してください。
- 保護対象デバイス入力との間に直列抵抗(2~1kΩ程度)を挿入するとさらに効果的です。



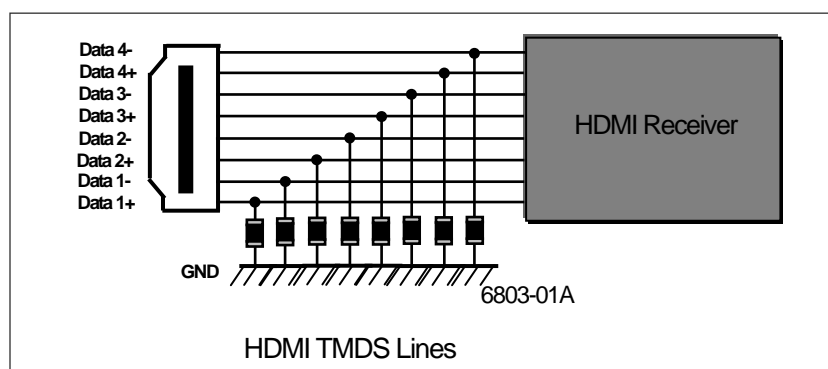
2. 高周波信号ライン

高周波信号ラインの保護では、低容量であることが必要です。イリソの ESD プロテクター・チップは、FM-AM ラジオのアンテナをはじめ、TV や GPS アンテナのような高周波信号ラインのデバイス保護に最適です。特に頻繁に静電気にさらされ、高信頼性を要求される車載アンテナ・アンプ等の保護には最適です。これは、静電気印加試験規格や印加回数において、最近の自動車メーカーを初めとする厳しい試験条件を要求されるお客様に対しては非常に有効です。



3. 高速デジタルインターフェース (TMDS or LVDS)

小型 1005 サイズの 6803-01A は、HDMI や USB3.0 などの高速インターフェース伝送ラインの静電気保護に最適です。



Memo**ご使用に際しての諸注意事項**

- この資料に記載された仕様や諸特性はイリソ電子の定める条件において有効であり、アプリケーション上での特性を保証するものではありません。
- ここに記載された情報や内容については、十分信頼できるものであると確信しておりますが、お客様でのご使用下における不具合や、パテント等第三者への侵害や抵触に対して一切責任を負うものではありません。
- この製品をイリソ電子の許可なくして、生命維持装置などの重要保安部品としてご使用いただくことはできません。
- この製品の輸出に関しては、その国の法律や輸出規制に従ってください。
 - イリソ電子の許可なしに、本資料の一部又は全部を複製・改変又は転載・送信することはできません。
- 本資料記載の仕様や材料及びデータは、製品改良等の理由により、予告なしに変更されることがあります。